

半導体機能デバイス研究室

SDGs達成に向けた取り組み



研究テーマ・キーワード Research Themes・Keywords

シリコンに代わる半導体を用いた省エネで高性能なデバイスの実現に向けた研究

Study of low power consumption and high-performance semiconductor devices

● 半導体デバイス

Semiconductor device

● 絶縁膜半導体界面

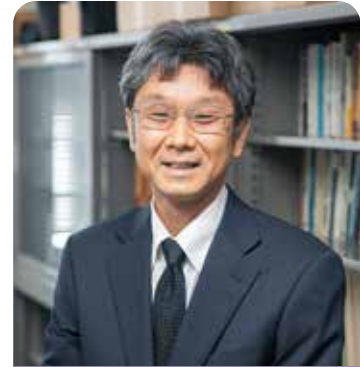
Insulator-semiconductor interface

● ゲルマニウム

Germanium

● 第一原理シミュレーション

First-principles simulation



担当教員 **金島 岳**
Subject Teacher **KANASHIMA Takeshi**

PROFILE

職位 教授・大学院教授

Position Professor・Professor at Graduate School

担当講義科目

エレクトロニクス、電子回路、半導体工学

Charge of Subjects

Electronics, Electronic circuits, Semiconductor devices

大学院 電子情報工学コース

Graduate School Electronics and Computer Science Course

学位 博士(工学)

Degree Doctor of Engineering

e-mail

kanashima@fuk.kindai.ac.jp

FOR MORE



KANASHIMA Takeshi

研究概要 Research Outline

現在使われているシリコン半導体の限界を超えるため、より低消費電力・高性能化が期待できるゲルマニウムを用いたデバイスの実現に向けた研究を行っています。さらに、半導体デバイス作製環境の構築と、それを用いた実践的な教育を進めています。

To exceed the limits of silicon semiconductors, we have focused on germanium for low-power-consumption and high-performance electronics. Construction of a semiconductor device manufacturing environment and education using it.

進行中の研究内容 Research Contents in Progress

1 ゲルマニウム(Ge)を用いたトランジスタ(MOS-FET)を実現するために必須である、高品質な高誘電率ゲート絶縁膜とGeの直接接合の形成に向けた基板表面処理と結晶絶縁膜成長の研究を行っています。

To realize a high-performance transistor using germanium (Ge), we have developed the surface treatment methods and direct growth of a high-k insulator on Ge.

2 第一原理シミュレーションによる結晶絶縁体・Ge半導体界面の原子レベルでの構造解析から、より少ない界面準位を実現する高品質界面構造を形成するための材料探索を行っています。

We are searching for materials and structures to form a high-quality interface at atomic level by using first-principle simulation.

最近の研究実績 Recent Research Results

〈著書／Books〉

● SiO₂膜中の欠陥の構造とエネルギー準位の分子軌道解析(分担執筆)、培風館、材料学会(編)「材料と評価の最前線」3章4節(2001年)

We have clarified the structure of defects in SiO₂ as a gate-insulator by using molecular orbital calculation and optical properties.

〈論文／Published Papers〉

● T. Kanashima, R. Yamashiro, M. Zenitaka, K. Yamamoto, D. Wang, J. Tadano, S. Yamada, H. Nohira, H. Nakashima and K. Hamaya: "Electrical properties of epitaxial Lu- or Y-doped La₂O₃/La₂O₃/Ge high-K gate-stacks", Materials Science in Semiconductor Processing 70 (2017) 260.

[Electrical properties of epitaxial La₂O₃/germanium (Ge) structures can be significantly improved by using epitaxially grown Lutetium(Lu)- or Yttrium(Y)-doped La₂O₃ passivation layers.]

● T. Kanashima, H. Nohira, M. Zenitaka, Y. Kajihara, S. Yamada and K. Hamaya: "Effect of Atomic- Arrangement Matching on La₂O₃/Ge Heterostructures for Epitaxial High-K-Gate-Stacks", J. Appl. Phys. 118 (2015) 225302.

[We demonstrate a high-quality La₂O₃ layer on germanium (Ge) as an epitaxial high-k-gate-insulator, where there is an atomic-arrangement matching condition between La₂O₃(001) and Ge(111).]

● T. Kanashima, Y. Katsura and M. Okuyama: "Organic Ferroelectric Gate Field-Effect Transistor Memory Using High-Mobility Rubrene Thin Film", Jpn. J. Appl. Phys. 53 (2014) 04ED11.

[Organic ferroelectric field-effect transistor (FET) memories have been fabricated using pentacene as the semiconductor and a flat poly(vinylidene fluoride-tetrafluoroethylene) [P(VDF-TeFE)] thin film as the ferroelectric gate.]